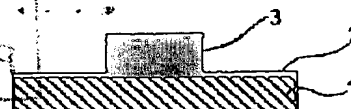


PHNL 00-0311

DOSSIER



PUBLICATION NUMBER : 10321838  
PUBLICATION DATE : 04-12-98

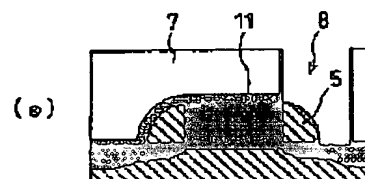
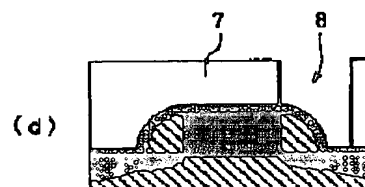
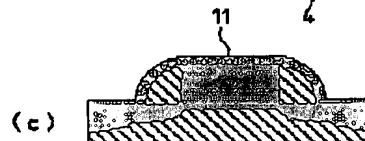
APPLICATION DATE : 16-05-97  
APPLICATION NUMBER : 09127221

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : KUBOTA MASABUMI;

INT.CL. : H01L 29/78 H01L 21/336

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To make a semiconductor device finer by functioning an SiC film deposited on a semiconductor substrate containing a gate electrode and side wall 5 as an etching stopper.

SOLUTION: An SiC film 11 is formed on the entire surface of a semiconductor substrate 1 containing a gate electrode 3 and side walls 5 by performing plasma treatment using a gas composed mainly of carbon. After an interlayer insulating film 7 is deposited, a contact hole 8 is formed for exposing an impurity-diffused layer 6 by partially removing the insulating film 7. At the time of etching the insulating film 7, the SiC film 11 functions as an etching stopper, because the etching rate of the SiC constituting the SiC layer 11 is smaller than that of the SiO<sub>2</sub> constituting the insulating film 7. Successively, the SiC film 11 exposed in the contact hole 8 is removed by performing plasma treatment using a mixed gas of, for example, CHF<sub>3</sub> and O<sub>2</sub>.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321838

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78  
21/336

識別記号

F I

H 0 1 L 29/78

3 0 1 Y

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号

特願平9-127221

(22) 出願日

平成9年(1997)5月16日

(71) 出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者 山中 通成

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 林 重徳

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 久保田 正文

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

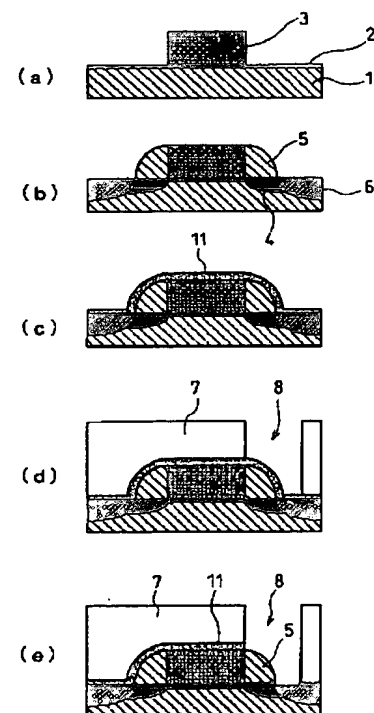
(74) 代理人 弁理士 岡田 和秀

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】ゲート電極やサイドウォールまでもがエッチングされず、半導体デバイスの微細化を容易に実現することができる半導体装置の製造方法を提供する。

【解決手段】本発明にかかる半導体装置の製造方法は、Siからなる半導体基板1上にポリSiからなるゲート電極3を形成し、半導体基板1上にSiO<sub>2</sub>膜またはSi<sub>3</sub>N<sub>4</sub>膜を堆積する工程と、SiO<sub>2</sub>またはSi<sub>3</sub>N<sub>4</sub>からなるサイドウォール5をエッチング処理でもって形成し、半導体基板1内に不純物拡散領域6を形成する工程と、プラズマ処理またはCVD処理でもって半導体基板1上にSiC膜11を堆積する工程と、SiO<sub>2</sub>からなる層間絶縁膜7をSiC膜11上に堆積する工程と、コンタクトホール8をエッチング処理でもって層間絶縁膜7内に形成する工程と、コンタクトホール8内に露出したSiC膜11をプラズマ処理でもって除去する工程とを含んでいる。



**【特許請求の範囲】**

**【請求項1】** シリコンからなる半導体基板上にポリシリコンからなるゲート電極を形成した後、ゲート電極を含む半導体基板上に酸化シリコン膜または窒化シリコン膜を堆積する工程と、酸化シリコンまたは窒化シリコンからなるサイドウォールをエッチング処理でもって形成した後、半導体基板内に不純物拡散領域を形成する工程と、プラズマ処理またはCVD処理でもってゲート電極及びサイドウォールを含む半導体基板上に炭化シリコン膜を形成する工程と、酸化シリコンからなる層間絶縁膜を炭化シリコン膜上に堆積する工程と、不純物拡散領域を露出させるコンタクトホールをエッチング処理でもって層間絶縁膜内に形成する工程と、コンタクトホール内に露出した炭化シリコン膜をプラズマ処理でもって除去する工程とを含んでいることを特徴とする半導体装置の製造方法。

**【請求項2】** 請求項1に記載した半導体装置の製造方法であって、サイドウォールを形成する際のエッチング処理は、ゲート電極が露出した時点で終了されることを特徴とする半導体装置の製造方法。

**【請求項3】** 請求項1に記載した半導体装置の製造方法であって、サイドウォールを形成する際のエッチング処理は、ゲート電極上に酸化シリコン膜または窒化シリコン膜が残存したままの時点で終了されることを特徴とする半導体装置の製造方法。

**【請求項4】** 請求項1ないし請求項3のいずれかに記載した半導体装置の製造方法であって、炭化シリコン膜を形成する際のプラズマ処理は、炭素を主体とするガスを使用して実行されることを特徴とする半導体装置の製造方法。

**【請求項5】** 請求項4に記載した半導体装置の製造方法であって、炭素を主体とするガスは、 $C_mH_n$  ( $m, n$ は自然数)の分子式で表される酸化炭素ガスであることを特徴とする半導体装置の製造方法。

**【請求項6】** 請求項4に記載した半導体装置の製造方法であって、炭素を主体とするガスは、 $C_mO_n$  ( $m, n$ は自然数)の分子式で表される酸化炭素ガスであることを特徴とする半導体装置の製造方法。

**【請求項7】** 請求項4に記載した半導体装置の製造方法であって、炭素を主体とするガスは、 $C_xH_yO_z$  ( $x, y, z$ は自然数)の分子式で表される酸化炭素ガスであることを特徴とする半導体装置の製造方法。

**【請求項8】** 請求項1ないし請求項7のいずれかに記載した半導体装置の製造方法であって、炭化シリコン膜を除去する際のプラズマ処理は、 $C_xH$

$yFz$  ( $x, y, z$ は自然数)の分子式で表されるフッ化炭化水素ガスと、酸素またはオゾンとの混合ガスを使用して実行されることを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は半導体装置の製造方法にかかり、特に、コンタクトホールの形成技術に関する。

**【0002】**

**【従来の技術】** 近年、半導体デバイスの高集積化及び高性能化については益々要望が強まっており、これらの要望を実現するためには、より高精度で選択性が高いコンタクトホールの形成技術が必要とされている。そして、コンタクトホールの形成にあたっては、図4の工程断面図で手順を追って示すような従来の形態1にかかる半導体装置の製造方法が採用されており、この際においては、以下のような手順に従った加工を実行するのが一般的となっている。

**【0003】** すなわち、まず、図3(a)で示すように、シリコン(Si)からなる半導体基板1上の全面にわたるゲート酸化膜2を形成し、かつ、CVD法を採用してゲート酸化膜2上の全面にわたるポリシリコン(ポリSi)膜(図示省略)を堆積した後、フォトリソグラフィ及びドライエッチングによってポリSiからなるゲート電極3を形成する。引き続き、半導体基板1内に軽度不純物拡散領域4を形成するためのイオン注入を実行し、かつ、図3(b)で示すように、CVD法を採用して半導体基板1上の全面にわたる酸化シリコン( $SiO_2$ )膜(図示省略)を堆積した後、異方性のドライエッチングによって $SiO_2$ からなるサイドウォール5をゲート電極3の側壁に沿って形成する。

**【0004】** 次に、イオン注入を再実行することによって半導体基板1内にソース及びドレインとなる不純物拡散領域6を形成した後、図3(c)で示すように、 $SiO_2$ からなる層間絶縁膜7をCVD法によって半導体基板1上の全面にわたって堆積し、かつ、フォトリソグラフィ及びドライエッチングでもって層間絶縁膜7及びゲート酸化膜2のコンタクトホールパターンを除去することにより、不純物拡散領域6上にコンタクトホール8を形成する。なお、この際におけるドライエッチングでは、Siからなる半導体基板1のエッチングレートよりも $SiO_2$ からなる層間絶縁膜7のエッチングレートの方が大きい選択比が必要とされる。しかしながら、このような手順に従ったコンタクトホール8の形成方法を採用したのでは、フォトリソグラフィ工程におけるマスクの位置合わせが難しいため、位置合わせの誤差を考慮すると、ゲート電極3及びコンタクトホール8間の加工マージンを大きくしておかねばならず、半導体デバイスの微細化が困難となる。

【0005】そこで、最近においては、半導体デバイスの微細化に対応する必要上、リソグラフィー工程における位置合わせ誤差による加工マージンをなくすることが可能な製造方法、つまり、セルフアライン型（自己整合型）といわれるコンタクトホール形成方法を採用することが提案されている。なお、この際におけるコンタクトホール形成方法はサイドウォールを窒化シリコン（SiN）でもって形成することを特徴としたものであり、図4の工程断面図で手順を追って示すような従来の形態2にかかる半導体装置の製造方法である。

【0006】まず、図4（a）で示すように、Siからなる半導体基板1上の全面にわたってゲート酸化膜2を形成し、かつ、CVD法を採用することによってゲート酸化膜2上の全面にわたるポリSi膜（図示省略）を堆積した後、フォトリソグラフィー及びドライエッチングによってポリSiからなるゲート電極3を形成することが行われる。そして、図4（b）で示すように、半導体基板1内に軽度不純物拡散領域4を形成するためのイオン注入を実行し、かつ、CVD法を採用することによって半導体基板1上の全面にわたるシリコン窒化膜（図示省略）を堆積した後、異方性のドライエッチングによってシリコン窒化膜からなるサイドウォール5をゲート電極3の側壁に沿って形成する。

【0007】引き続き、イオン注入の再実行によって半導体基板1内にソース及びドレインとなる不純物拡散領域6を形成し、かつ、図4（c）で示すように、SiO<sub>2</sub>からなる層間絶縁膜7をCVD法によって半導体基板1上の全面にわたって堆積した後、フォトリソグラフィー及びドライエッチングでもって層間絶縁膜7及びゲート酸化膜2のコンタクトホールパターンを除去することにより、不純物拡散領域6上にコンタクトホール8を形成する。なお、この際におけるドライエッチングでは、半導体基板1及びゲート電極、サイドウォール5のそれぞれと層間絶縁膜7とのエッチングレートが互いに異なっており、Si及びポリSi、シリコン窒化膜のいずれよりもSiO<sub>2</sub>におけるエッチングレートの方が大きい。そのため、コンタクトホール8が自己整合的に形成されることになる。

【0008】

【発明が解決しようとする課題】ところで、図4に基づいて説明したコンタクトホール形成方法では、Siからなる半導体基板1及びポリSiからなるゲート電極3、シリコン窒化膜からなるサイドウォール5いずれのエッチングレートよりもSiO<sub>2</sub>からなる層間絶縁膜7におけるエッチングレートの方が大きい選択比が必要であるにも拘わらず、このような選択比を同時に満足することは困難となる。すなわち、コンタクトホール8を形成する際のドライエッチングでは、CF<sub>4</sub>やCHF<sub>3</sub>、C<sub>4</sub>F<sub>8</sub>などのガスが使用されるのであるが、エッチングレートの大きさはSiO<sub>2</sub> > SiN > Siの順となるの

が一般的であり、ゲート電極3と層間絶縁膜7との選択比及びサイドウォール5と層間絶縁膜7との選択比が同程度とはなり得ないため、図4（c）と対応する図4（d）で示すように、ゲート電極3やサイドウォール5までもがエッチングされることに起因した欠陥が生じることになっていた。

【0009】本発明にかかる半導体装置の製造方法は、このような不都合に鑑みて創案されたものであり、ゲート電極やサイドウォールまでもがエッチングされることが起こらず、半導体デバイスの微細化を容易に実現することができるコンタクトホール形成方法を提供しようとするものである。

【0010】

【課題を解決するための手段】本発明にかかる半導体装置の製造方法は、Siからなる半導体基板上にポリSiからなるゲート電極を形成した後、ゲート電極を含む半導体基板上にSiO<sub>2</sub>膜またはSi<sub>3</sub>N<sub>4</sub>膜を堆積する工程と、SiO<sub>2</sub>またはSi<sub>3</sub>N<sub>4</sub>からなるサイドウォールをエッチング処理でもって形成した後、半導体基板内に不純物拡散領域を形成する工程と、プラズマ処理またはCVD処理でもってゲート電極及びサイドウォールを含む半導体基板上に炭化シリコン（SiC）膜を堆積する工程と、SiO<sub>2</sub>からなる層間絶縁膜をSiC膜上に堆積する工程と、不純物拡散領域を露出させるコンタクトホールをエッチング処理でもって層間絶縁膜内に形成する工程と、コンタクトホール内に露出したSiC膜をプラズマ処理でもって除去する工程とを含んでいる。そして、これらの工程を含んだ製造方法によれば、ゲート電極及びサイドウォールを含む半導体基板上に堆積しているSiC膜がエッチングストップとして機能することになるため、層間絶縁膜内にコンタクトホールを形成する際のエッチング処理でもってゲート電極及びサイドウォールがエッチングされることは起こらず、エッチング処理に起因した欠陥が生じることを容易に防止し得ることとなる。なお、コンタクトホール内に露出したSiC膜は、プラズマ処理でもって容易に除去される。

【0011】

【発明の実施の形態】本発明の請求項1にかかる半導体装置の製造方法は、Siからなる半導体基板上にポリSiからなるゲート電極を形成した後、ゲート電極を含む半導体基板上にSiO<sub>2</sub>膜またはSi<sub>3</sub>N<sub>4</sub>膜を堆積する工程と、SiO<sub>2</sub>またはSi<sub>3</sub>N<sub>4</sub>からなるサイドウォールをエッチング処理でもって形成した後、半導体基板内に不純物拡散領域を形成する工程と、プラズマ処理またはCVD処理でもってゲート電極及びサイドウォールを含む半導体基板上にSiC膜を堆積する工程と、SiO<sub>2</sub>からなる層間絶縁膜をSiC膜上に堆積する工程と、不純物拡散領域を露出させるコンタクトホールをエッチング処理でもって層間絶縁膜内に形成する工程と、コンタクトホール内に露出したSiC膜をプラズマ処理でも

って除去する工程とを含んでいる。

【0012】そして、請求項2にかかる半導体装置の製造方法ではサイドウォールを形成する際のエッチング処理をゲート電極が露出した時点で終了する一方、請求項3にかかる半導体装置の製造方法ではサイドウォールを形成する際のエッチング処理をゲート電極上に酸化シリコン膜または窒化シリコン膜が残存したままの時点で終了することとしている。また、請求項4にかかる半導体装置の製造方法は、炭素を主体とするガスを使用したうえで炭化シリコン膜を形成する際のプラズマ処理を実行することを特徴としている。

【0013】さらに、請求項5にかかる半導体装置の製造方法は炭素を主体とするガスが $C_mH_n$  ( $m, n$ は自然数)の分子式で表される酸化炭素ガスであり、請求項6にかかる半導体装置の製造方法は炭素を主体とするガスが $C_mO_n$  ( $m, n$ は自然数)の分子式で表される酸化炭素ガスであることを特徴とする一方、請求項7にかかる半導体装置の製造方法は炭素を主体とするガスが $C_xH_yO_z$  ( $x, y, z$ は自然数)の分子式で表される酸化炭素ガスであることを特徴としている。さらにまた、請求項8にかかる半導体装置の製造方法は、 $C_xH_yF_z$  ( $x, y, z$ は自然数)の分子式で表されるフッ化炭化水素ガスと、酸素またはオゾンとの混合ガスを使用したうえで炭化シリコン膜を除去する際のプラズマ処理を実行することを特徴としている。

【0014】以下、本発明の実施の形態を図面に基づいて説明する。

【0015】(実施の形態1) 図1は実施の形態1にかかる半導体装置の製造方法、具体的には、コンタクトホール形成技術を簡略化して示す工程断面図であり、図1中の符号11はSiC膜を示している。なお、この図1において、図4及び図5と互いに同一となる部品、部分には同一符号を付している。

【0016】本実施の形態1にかかる半導体装置の製造方法、つまり、コンタクトホール形成技術においては、図1(a)で示すように、Siからなる半導体基板1上の全面にわたるゲート酸化膜2を形成し、かつ、CVD法を採用することによってゲート酸化膜2上の全面にわたるポリSi膜(図示省略)を堆積した後、フォトリソグラフィ及びドライエッチングによってポリSiからなるゲート電極3を形成することが行われる。そして、図1(b)で示すように、イオン注入によって半導体基板1内に軽度不純物拡散領域4を形成した後、CVD法を採用したうえで半導体基板1上の全面にわたって $SiO_2$ 膜(図示省略)を堆積する。

【0017】引き続き、エッチバック法による異方性のドライエッチングを採用したうえでゲート電極3の上面が露出するまでエッチングすることによって $SiO_2$ からなるサイドウォール5をゲート電極3の側壁に沿って形成する。すなわち、この際におけるサイドウォール5

を形成するためのエッチング処理はゲート電極3が露出するまで実行されており、ゲート電極3が露出した時点で終了されることとなっている。なお、本実施の形態1ではサイドウォール5が $SiO_2$ からなるとしているが、 $Si_3N_4$ 膜を堆積したうえでのエッチング処理によって $Si_3N_4$ からなるサイドウォール5を形成していてもよいことは勿論である。

【0018】次に、ゲート電極3及びサイドウォール5をマスクとしたうえでのイオン注入を再実行することによって半導体基板1内にソース及びドレインとなる不純物拡散領域6を形成した後、図1(c)で示すように、 $CH_4$ などのような酸化炭素ガス、すなわち、炭素(C)を主体とするガスを使用したうえでのプラズマ処理により、ゲート電極3及びサイドウォール5を含んだ半導体基板1上の全面にわたってSiC膜11を形成することを行う。なお、ここでは、SiC膜11を形成する際のプラズマ処理で使用する酸化炭素ガスが $CH_4$ であるとしているが、 $CH_4$ ガスのみに限られることはなく、 $C_mH_n$  ( $m, n$ は自然数)や $C_mO_n$  ( $m, n$ は自然数)の分子式で表される構造、あるいはまた、 $C_xH_yO_z$  ( $x, y, z$ は自然数)の分子式で表される構造の酸化炭素ガスであってもよい。

【0019】ところで、この際においては、酸化炭素ガスを使用したうえでのプラズマ処理によってSiC膜11を形成するとしているが、プラズマ処理に限られることはなく、CVD法を採用したうえでSiC膜11を堆積してもよいことは勿論である。そして、CVD法を採用してSiC膜11を堆積する場合には常圧CVD装置を使用することとなり、この際における原料ガスとしては $SiH_4$ 、 $C_3H_8$ を、また、キャリアガスとしては $H_2$ を用いることとなる。なお、このときのデポ条件は、 $SiH_4 = 0.5 \text{ sccm}$ 、 $C_3H_8 = 0.25 \text{ sccm}$ 、 $H_2 = 3.0 \text{ sccm}$ であり、基板温度は $1500^\circ\text{C}$ とされる。

【0020】さらに、SiC膜11を堆積した後、図1(d)で示すように、 $SiO_2$ からなる層間絶縁膜7をCVD法によって半導体基板1上の全面にわたって堆積したうえで、フォトリソグラフィ及びドライエッチングでもって層間絶縁膜7を部分的に除去することによって不純物拡散領域6を露出させるコンタクトホール8を形成する。そして、この際のエッチング処理においては、 $SiO_2$ からなる層間絶縁膜7よりもSiC膜11の有するエッチングレートの方が小さいため、SiC膜11が層間絶縁膜7に対するエッチング処理時のエッチングストップとして機能することになる。引き続き、図1(e)で示すように、 $CHF_3$ 及び $O_2$ の混合ガスを用いたうえでのプラズマ処理により、コンタクトホール8の内部に露出しているSiC膜11を除去することを実行した後、不純物拡散領域6上に残存するゲート酸化膜2をエッチング処理でもって除去することが行われる。

つまり、この際のプラズマ処理においては、混合ガス中の $O_2$ の作用でもってSiCがSiOに改質され、かつ、SiOが混合ガス中の $CHF_3$ から発生するフッ素ラジカル及びイオンでもって除去されるので、SiC膜11は除去されてしまうことになり、コンタクトホール8が完成したことになる。

【0021】なお、SiC膜11を除去するためのプラズマ処理に際して使用されるガスが $CHF_3$ 及び $O_2$ の混合ガスだけに限定されることはなく、 $C_xH_yF_z$ （ $x$ 、 $y$ 、 $z$ は自然数）の分子式で表される構造のフッ化炭化水素ガスまたはフッ化炭素ガスと、 $O_2$ またはオゾン（ $O_3$ ）との混合ガスであってもよい。そして、この際には、炭素（C）や水素（H）からなる重合膜がSiからなる半導体基板1及び $SiO_2$ からなるサイドウォール5それぞれの表面上に形成されており、この重合膜がエッチングに対する保護膜として作用することになる結果、下地の半導体基板1やゲート電極3の側壁に沿って形成されたサイドウォール5がエッチングされることは起こらず、また、不純物拡散領域6に欠陥が生じることも起こり得ないことになる。したがって、本実施の形態1にかかる製造方法を採用した場合には、マスクの位置合わせ精度による影響を受けることがなくなり、セルフアラインでもって半導体デバイスの微細化を実現し得ることになる。

【0022】（実施の形態2）実施の形態1にかかる半導体装置の製造方法では、ゲート電極3を含む半導体基板1上に堆積した $SiO_2$ からなるサイドウォール5を形成するに際し、ゲート電極3の上面が露出するまで $SiO_2$ 膜をエッチングしているのであるが、以下に説明するような手順に従った半導体装置の製造方法、すなわち、図2で手順を追って示すようなコンタクトホールの形成技術を採用することも可能である。なお、図2において、図1と同一になる部品及び部分については同一符号を付している。

【0023】実施の形態2では、図2（a）で示すように、Siからなる半導体基板1上の全面にわたってゲート酸化膜2を形成し、かつ、CVD法を採用することによってゲート酸化膜2上の全面にわたるポリSi膜（図示省略）を堆積した後、フォトリソグラフィ及びドライエッチングによってポリSiからなるゲート電極3を形成することが行われる。その後、引き続き、図2（b）で示すように、イオン注入によって半導体基板1内に軽度不純物拡散領域4を形成し、かつ、CVD法を採用したうえで半導体基板1上の全面にわたる $SiO_2$ 膜（図示省略）を堆積した後、エッチバック法を採用したうえで $SiO_2$ 膜をエッチングすることによって $SiO_2$ からなるサイドウォール5をゲート電極3の側壁に沿って形成することが行われる。

【0024】ところで、サイドウォール5は $SiO_2$ からなるとしているが、 $SiO_2$ に限られることはなく、

$Si_3N_4$ 膜を堆積したうえでのエッチング処理によって $Si_3N_4$ からなるサイドウォール5を形成してもよいことは勿論である。そして、サイドウォール5を形成する際には、実施の形態1にかかる手順とは異なり、ゲート電極3上に所定膜厚の $SiO_2$ 膜12が残存したままの時点においてエッチング処理を終了することが行われている。なお、ゲート電極3上に $SiO_2$ 膜12を残存させるためには、エッチング処理に先立って $SiO_2$ 膜の有するエッチングレートを測定しておき、エッチング時間及び条件を調整することが行われている。また、 $SiO_2$ 膜の膜厚をモニタリングするに際しては、ある特定波長のレーザー光が入射した際における干渉波の強度変化を測定する手法や、プラズマ中にあって一定の波長を有する光と $SiO_2$ 膜との干渉波の強度変化を測定する手法などが採用されることになっている。

【0025】次に、ゲート電極3及びサイドウォール5をマスクとしたうえでのイオン注入を再実行することによって半導体基板1内にソース及びドレインとなる不純物拡散領域6を形成した後、図2（c）で示すように、 $CH_4$ などのような酸化炭素ガスを使用したうえでのプラズマ処理により、ゲート電極3及びサイドウォール5を含んだ半導体基板1上の全面にわたるSiC膜11を形成することを行う。すなわち、ゲート電極3上に $SiO_2$ 膜12を残存させた場合には、膜厚の厚いSiC膜11がゲート電極3上に堆積しているため、エッチングストップとしての信頼性が実施の形態1を採用した場合よりも向上することになる。なお、この際における酸化炭素ガスが、 $C_mH_n$ （ $m$ 、 $n$ は自然数）や $C_mO_n$ （ $m$ 、 $n$ は自然数）の分子式で表される構造、あるいは、 $C_xH_yO_z$ （ $x$ 、 $y$ 、 $z$ は自然数）の分子式で表される構造の酸化炭素ガスであってもよいことは勿論である。

【0026】その後、図2（d）で示すように、 $SiO_2$ からなる層間絶縁膜7をCVD法によって半導体基板1上の全面にわたって堆積した後、フォトリソグラフィ及びドライエッチングでもって層間絶縁膜7を部分的に除去することによってコンタクトホール8を形成する。そして、この際のエッチング処理においては、 $SiO_2$ からなる層間絶縁膜7よりもSiC膜11の有するエッチングレートの方が小さいため、SiC膜11が層間絶縁膜7に対するエッチング処理時のエッチングストップとして機能することになる。さらに、図2（e）で示すように、 $CHF_3$ 及び $O_2$ の混合ガスを用いたうえでのプラズマ処理により、コンタクトホール8の内部に露出しているSiC膜11を除去した後、不純物拡散領域6上に残存しているゲート酸化膜2及び $SiO_2$ 膜をエッチング処理でもって除去する。

【0027】すなわち、この際のプラズマ処理においては、混合ガス中の $O_2$ の作用でもってSiCがSiOに改質され、かつ、SiOが混合ガス中の $CHF_3$ から発

生するフッ素ラジカル及びイオンでもって除去されることとなる結果、SiC膜11は除去されてしまうことになり、コンタクトホール8が完成したことになる。なお、SiC膜11を除去するためのプラズマ処理に際して使用されるガスがCHF<sub>3</sub>及びO<sub>2</sub>の混合ガスのみに限定されることはなく、C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>（x, y, zは自然数）の分子式で表される構造のフッ化炭化水素ガスとO<sub>2</sub>またはオゾン（O<sub>3</sub>）との混合ガスであってもよいことは実施の形態1と同じである。

#### 【0028】

【発明の効果】以上説明したように、本発明にかかる半導体装置の製造方法によれば、ゲート電極及びサイドウォールを含む半導体基板上に堆積しているSiC膜がエッチングストップとして機能するため、層間絶縁膜内にコンタクトホールを形成する際のエッチング処理でもってゲート電極及びサイドウォールがエッチングされることは起こらないことになり、コンタクトホール形成時のエッチング処理に起因した欠陥が生じることを容易に防止できることとなる。そのため、ゲート電極及びコンタクトホール間における設計上の加工マージンが小さくて

済み、あるいは、不要となる結果、半導体デバイスの微細化及び高集積化を実現できるという優れた効果が得られる。

#### 【図面の簡単な説明】

【図1】実施の形態1にかかる半導体装置の製造方法を示す工程断面図である。

【図2】実施の形態2にかかる半導体装置の製造方法を示す工程断面図である。

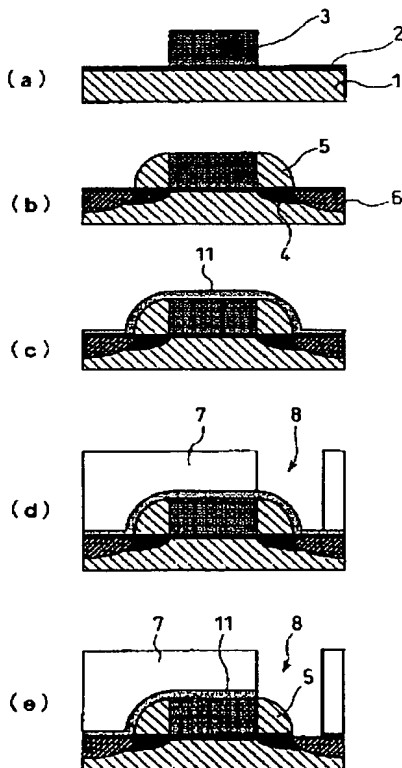
【図3】従来の形態1にかかる半導体装置の製造方法を示す工程断面図である。

【図4】従来の形態2にかかる半導体装置の製造方法を示す工程断面図である。

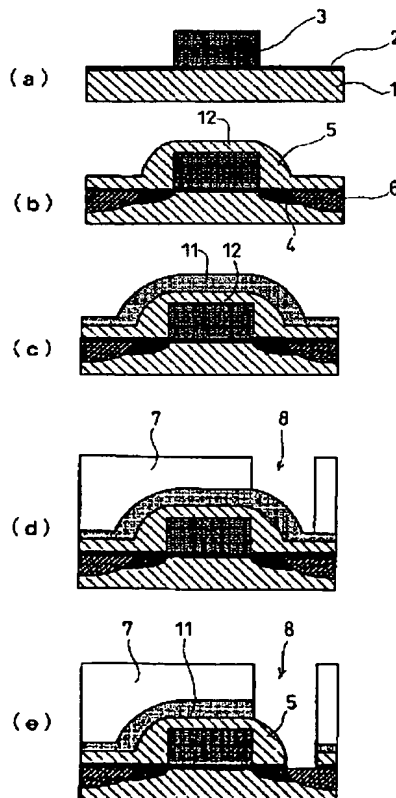
#### 【符号の説明】

- 1 半導体基板
- 3 ゲート電極
- 5 サイドウォール
- 6 不純物拡散領域
- 7 層間絶縁膜
- 8 コンタクトホール
- 11 SiC膜（炭化シリコン膜）

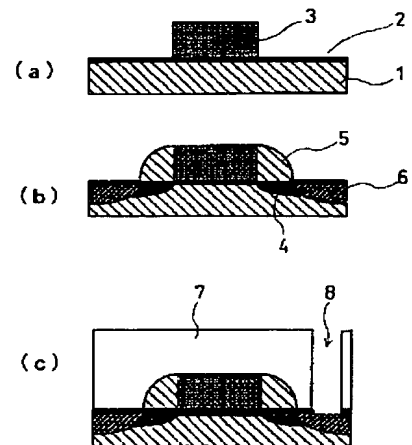
【図1】



【図2】



【図3】





【図4】

